

Установка для испытания чипов полевых транзисторов на устойчивость к лавинному пробое при работе на индуктивную нагрузку

© А.А. Богданов, А.Г. Люблинский, Е.М. Михайлов[✉], Ю.В. Тубольцев

Физико-технический институт им. А.Ф. Иоффе Российской академии наук,
194021 Санкт-Петербург, Россия

[✉] E-mail: mikhaylovevgeniyftf@gmail.com

Поступила в Редакцию 5 мая 2025 г.

В окончательной редакции 17 августа 2025 г.

Принята к публикации 19 августа 2025 г.

Рассмотрены физические процессы, происходящие в полевых транзисторах при лавинном пробое, в том числе приводящие к их разрушению. Доминирующим является тепловой механизм разрушения, которое происходит, когда температура кристаллической решетки превышает собственную температуру полупроводника. Предложена методика расчета пиковой температуры решетки при лавинном пробое, что позволяет оценить порог энергии лавинного пробоя, выше которого происходит разрушение транзистора. Разработана установка для испытания полевых транзисторов при энергии лавинного пробоя от 0.5 мДж до 2.5 Дж. Установка позволяет определять вероятный механизм разрушения, а использованные схемотехнические решения позволяют тестировать как корпусированные полевые транзисторы, так и чипы на еще не разрезанной полупроводниковой пластине.

Ключевые слова: лавинный пробой, MOSFET и IGBT транзисторы, тепловое разрушение полупроводниковых приборов, испытательное оборудование.

DOI: 10.61011/FTP.2025.05.61472.8055

Мощные полевые транзисторы (ПТ) широко используются во многих областях силовой электроники, включая источники питания и преобразователи, инверторы, электронные системы управления электродвигателями и др. В большинстве перечисленных применений ПТ работают на индуктивную нагрузку, и при выключении на стоке транзистора возникает индуктивный всплеск, который может приводить к выходу ПТ из строя.

При выключении ПТ индуктивность стремится поддерживать ток в цепи неизменным, что приводит к росту напряжения на стоке транзистора до напряжения лавинного пробоя $V_{DSS(BR)}$, которое обычно на 10–30 % больше максимально допустимого рабочего напряжения сток–исток V_{DSS} . Современные полевые транзисторы состоят из большого количества параллельно включенных элементарных транзисторных ячеек, при этом в каждую ячейку интегрирован „встречно-параллельный“ диод D , а также паразитный биполярный транзистор (BJT). На рис. 1 приведена структура ячейки, ее эквивалентная схема и фотография части структуры вертикального VDMOS (Vertical Double-diffused Metal-Oxide-Semiconductor) ПТ. Именно лавинный пробой (ЛП) обратносмещенного p – N -перехода диода ограничивает всплеск напряжения на стоке ПТ. При этом пиковая рассеиваемая мощность может достигать десятков киловатт, и происходит резкий локальный нагрев полупроводниковой структуры. Также необходимо учитывать, что при типовом подключении индуктивной нагрузки между источником питания V_S и стоком ПТ энергия ЛП E_{BR} может быть в несколько раз выше энергии E_L ,

запасенной в индуктивной нагрузке:

$$E_L = \frac{1}{2} L I_m^2, \quad (1)$$

$$\begin{aligned} E_{BR} &= \int_0^{t_1} V_{DSS(BR)} I(t) dt \\ &= \int_0^{t_1} V_{DSS(BR)} I_m \left(1 - \frac{t}{t_1}\right) dt \\ &= \frac{1}{2} \frac{V_{DSS(BR)}}{V_{DSS(BR)} - V_S} L I_m^2 = \frac{V_{DSS(BR)}}{V_{DSS(BR)} - V_S} E_L, \end{aligned} \quad (2)$$

где V_S — напряжение источника питания силовой цепи MOSFET, I_m — разрываемый ПТ ток, который при ЛП линейно снижается до нуля к моменту времени $t_1 = \frac{L I_m}{(V_{DSS(BR)} - V_S)}$. Вместе с энергией, запасенной в индуктивности нагрузки, рассеивается дополнительная энергия, поступающая непосредственно от источника питания. Например, для транзистора IRF640, имеющего типичное напряжение ЛП $V_{DSS(BR)} \approx 230$ В и работающего в схеме при $V_S = 200$ В, рассеиваемая в результате ЛП энергия E_{BR} превышает запасенную в индуктивной нагрузке энергию E_L в 7.7 раза! Обычно в спецификациях на ПТ в качестве предельной энергии ЛП приводится только энергия E_L , и этот факт необходимо учитывать разработчикам при проектировании устройств на ПТ с индуктивной нагрузкой.

Предельно допустимая энергия ЛП входит в набор основных параметров. Для современных мощных ПТ

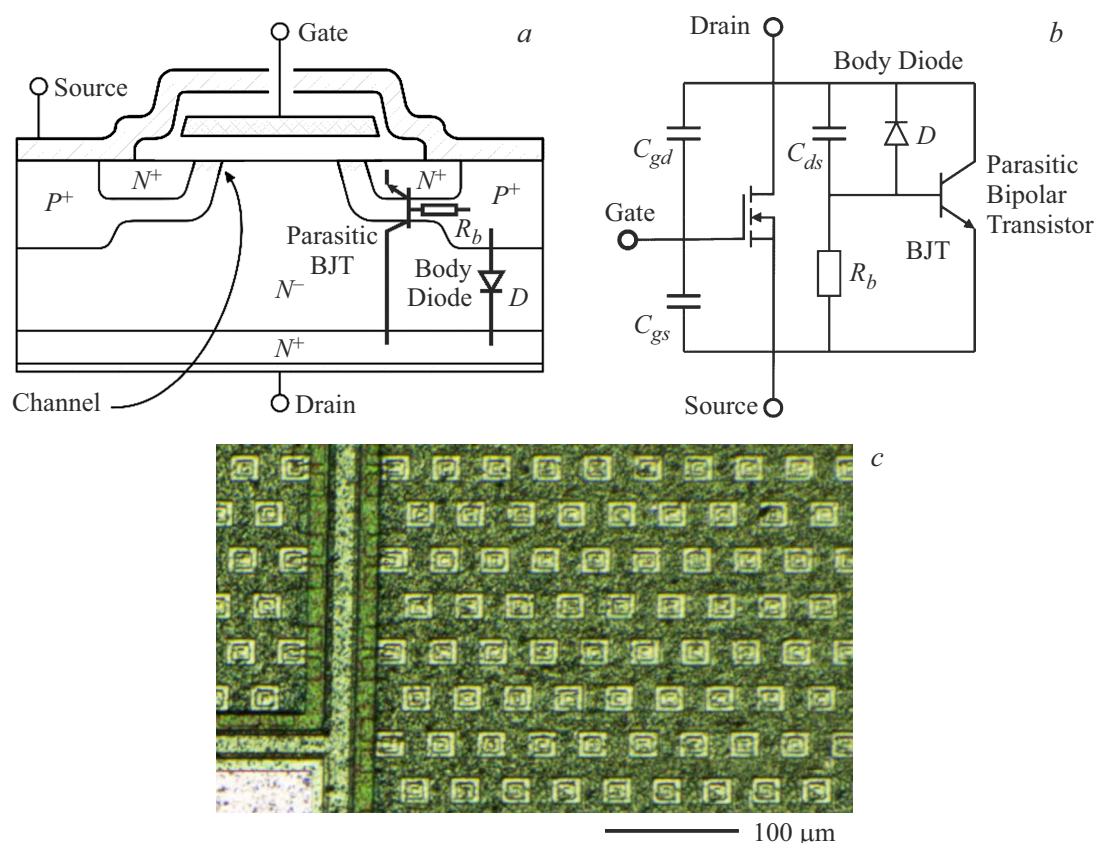


Рис. 1. Структура ячейки полевого транзистора (а), ее эквивалентная схема (b) и фотография ячеек полевого транзистора IRF640 (с). В левой части фотографии видна шина, объединяющая затворы транзисторов элементарных ячеек.

она составляет от единиц мДж до единиц Дж [1–3]. Поэтому испытание ПТ на устойчивость к ЛП при работе на индуктивную нагрузку является обязательным в процессе тестовых испытаний [4–6].

В ФТИ им. А.Ф. Иоффе при содействии ООО „Мегаимпульс“ была разработана установка ТМ-20/80 для исследования процессов лавинного пробоя и испытания полевых транзисторов на устойчивость к лавинному пробоя при запасенной в индуктивном накопителе энергии от 0.5 мДж до 2.5 Дж (рис. 2, с). Установки ТМ-20/80 были поставлены на производственные линии и линии контроля качества одного из отечественных заводов полупроводниковых приборов и позволяют испытывать в ручном и автоматизированном режимах практически всю номенклатуру ПТ с N-каналом.

Рассмотрим процесс ЛП и механизм разрушения ПТ более подробно. Всего известно два возможных механизма разрушения [7]: самопроизвольное включение и защелкивание во включенном состоянии паразитного биполярного транзистора (BJT) (рис. 1, а и b) и тепловое разрушение полупроводниковой структуры. Установка ТМ-20/80 позволяет проводить испытания ПТ и идентифицировать оба механизма разрушения. Кроме того, в установке использованы схемотехнические решения, позволяющие испытывать как корпусированные ПТ, так

и чипы на еще не разрезанной полупроводниковой пластине. Для этого была использована четырехпроводная схема подключения, которая устраняет влияние паразитной индуктивности соединительных линий и зондов для подключения к чипам ПТ.

Упрощенная блок-схема установки, поясняющая принцип ее работы, приведена на рис. 2, а. Установка включает два силовых источника питания: +90 В, от которого происходит формирование линейно нарастающего импульса тока через индуктивную нагрузку, и регулируемый источник +24 – +80 В, предназначенный для контроля целостности канала сток–исток испытуемого полевого транзистора (ИПТ). Кроме того, в состав установки входят два управляемых ПТ ключа Т1 и Т2, драйвер для управления ИПТ, токоизмерительный шунт R1, реле, отключающее ИПТ от установки между циклами испытаний, и блок управления на базе микроконтроллера ATXMEGA64A3-AU и программируемой логической матрицы EP3C16E144C. Вспомогательные элементы на схеме не показаны. Блок управления формирует требуемую последовательность управляющих сигналов CNT1–CNT4, с помощью DAC управляет источником +24 – +80 В, а также имеет входы DRAIN, GATE, SOURCE+ и SOURCE– для контроля напряжений на стоке и затворе ИПТ и контроля тока силовой цепи путем измерения падения напряжения на шунте R1.

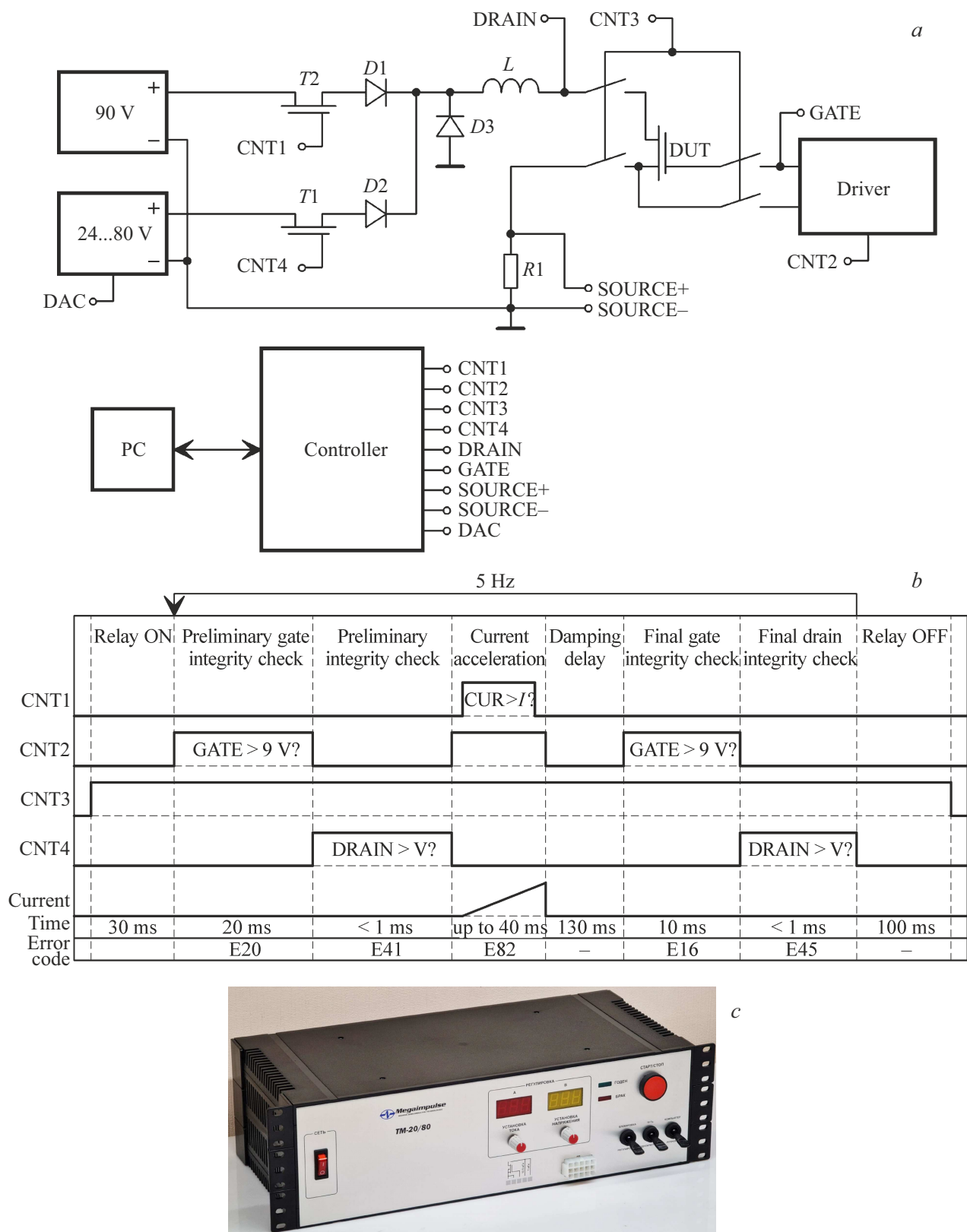


Рис. 2. Блок-схема (a), цикл испытаний (b) и фотография (c) установки ТМ-20/80 для испытания полевых транзисторов на устойчивость к лавинному пробую при работе на индуктивную нагрузку.

ИПТ подключается к установке двумя силовыми линиями к истоку и стоку транзистора, линией управления — к затвору ИПТ и обратным токопроводом линии управления, подключаемым к истоку ИПТ. Драйвер управления ИПТ гальванически развязан от силовых цепей, что исключает взаимное влияние силового тока в цепи сток—исток и тока управления ИПТ в цепи затвора. Между испытаниями все линии к ИПТ отключаются с помощью реле.

Цикл испытания ИПТ состоит из четырех этапов (рис. 2, б): первоначальная проверка целостности затвора и стока, контролируемый разгон тока в силовой цепи до заданной величины, обрыв тока и ЛП, проверка целостности затвора и стока ИПТ после испытания. На первом этапе сигналом CNT2 на затвор ИПТ подается импульс +10 В, и через 20 мс проверяется его наличие. Затем напряжение с затвора снимается и проверяется целостность канала ИПТ. Для этого по сигналу CNT4 через ключ T1 на сток ИПТ подается напряжение от регулируемого источника +24—+80 В. После успешной проверки канала ИПТ ключ T1 выключается. С помощью сигнала CNT2 включается ИПТ, затем сигналом CNT1 включается ключ T2 и начинается контролируемый разгон тока через индуктивную нагрузку до заданной величины, по достижении которой сначала выключается ключ T2, ток в индуктивной нагрузке перехватывается диодом D3, а затем выключается ИПТ и происходит его ЛП. На последнем этапе проводится повторная проверка целостности затвора и стока ИПТ.

Эффективность работы установки была проверена на ПТ IRF640 производства International Rectifier. Типовые осциллограммы тока через ИПТ и напряжения на его стоке приведены на рис. 3. После разгона тока до установленного значения ИПТ выключается, и напряжение на стоке ИПТ скачком увеличивается до напряжения ЛП. Как видно из рис. 4, испытание на устойчивость к ЛП при токе от 1 до 12 А транзистор выдержал. Однако при токе 16 А произошло его термическое разрушение, в результате чего напряжение на стоке ИПТ резко снизилось, при том что ток через него продолжал течь. Установка ТМ-20/80 позволяет определить механизм разрушения ПТ. В случае защелкивания ВJT полупроводниковая структура ИПТ остается целой, так как схема установки не допускает неконтролируемого нарастания тока даже при потере контроля над ИПТ. В случае же термического пробоя ИПТ неизбежно разрушается. Следует отметить, что защелкивание ВJT происходит только в случае неоптимальной структуры ПТ, и путем ее оптимизации этот механизм разрушения может быть полностью устранен. На практике доминирующим является тепловой пробой. При испытаниях IRF640 эффект защелкивания ВJT не наблюдался.

Так как механизм теплового разрушения является основным, рассмотрим его более детально. Тепловое разрушение происходит из-за резкого локального разогрева обратносмещенного p – N -перехода встроенного диода, предельная рабочая температура которого ограничена

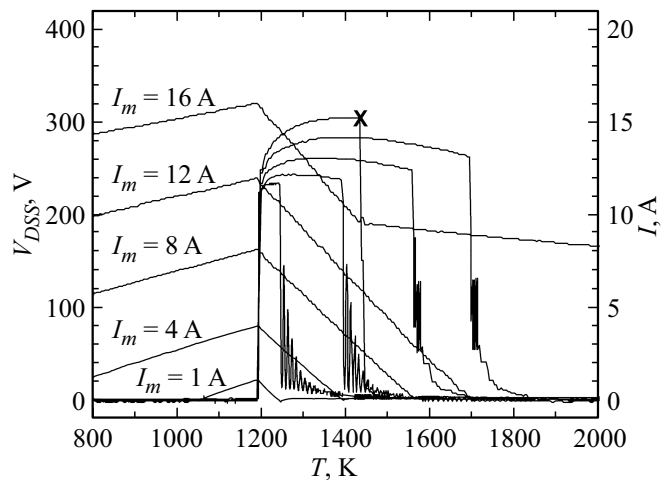


Рис. 3. Осциллограммы напряжения на стоке полевого транзистора и тока через него в процессе проведения испытаний при энергии лавинного пробоя от 6.25 мДж ($I_m = 1$ А) до 1.6 Дж ($I_m = 16$ А). Индуктивность нагрузки равна 12.5 мГн. $V_{DSS(BR),max}$ монотонно увеличивается при росте тока I_m и энергии лавинного пробоя. Символом X обозначен момент теплового разрушения полевого транзистора. В этот момент напряжение на стоке транзистора резко падает, при том что ток через него продолжает течь.

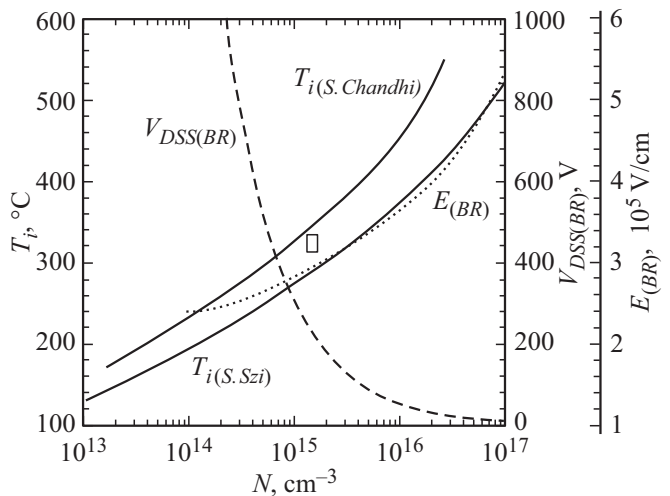


Рис. 4. Графики собственной температуры T_i согласно [8,9] (сплошные линии), напряжения пробоя $V_{DSS(BR)}$ (пунктирная линия) и поля пробоя E_{BR} (точечная линия) в зависимости от концентрации N -примеси в кремнии. Прямоугольником обозначена область (диапазон расчетных значений пиковой температуры решетки с учетом технологического разброса), в которой происходит тепловое разрушение транзисторов IRF640.

собственной температурой полупроводника T_i , при которой концентрация термогенерированных носителей равна концентрации легирующей примеси в N -слое. При комнатной температуре собственная концентрация носителей n_i в кремнии, $\sim 10^{10} \text{ см}^{-3}$, мала по сравнению с типичными уровнями легирования и слабо зависит от температуры. Однако с повышением температуры

n_i растет экспоненциально, и при температуре выше T_i термогенерация становится доминирующей. График зависимости T_i от концентрации легирующей примеси N приведен на рис. 4 [9]. При ЛП пиковая мощность, рассеиваемая на p – N -переходе, может достигать десятков кВт, что приводит к быстрому локальному росту температуры. На осциллограммах рост температуры p – N -перехода диода отражается ростом напряжения сток–исток ПТ. Согласно модели, предложенной Зельберхерром [10], которая является вариацией классической модели лавинного пробоя [11], скорость генерации носителей G в результате ударной ионизации равна

$$G = \alpha_n J_n + \alpha_p J_p, \quad (3)$$

где J_n и J_p — плотности тока электронов и дырок, а α_n и α_p — коэффициенты ударной ионизации, которые зависят от напряженности электрического поля и температуры следующим образом:

$$\alpha_n = 7.03 \cdot 10^5 \cdot \left(1 + 0.588 \cdot \left(\frac{T}{300} - 1 \right) \right) \times \exp \left(-1.231 \cdot 10^6 \cdot \frac{1 + 0.248 \cdot \left(\frac{T}{300} - 1 \right)}{E} \right), \quad (4)$$

$$\alpha_p = 6.71 \cdot 10^5 \cdot \left(1 + 0.588 \cdot \left(\frac{T}{300} - 1 \right) \right) \times \exp \left(-1.693 \cdot 10^6 \cdot \frac{1 + 0.248 \cdot \left(\frac{T}{300} - 1 \right)}{E} \right), \quad (5)$$

где T — температура кристаллической решетки в К.

Из (4) и (5) следует, что α_n и α_p зависят от E экспоненциально, при превышении порогового значения E_{BR} происходит резкий рост G и наступает ЛП. Однако с ростом температуры α_n и α_p падают, поэтому E_{BR} и $V_{DSS(BR)}$ имеют положительную температурную зависимость. Рост напряжения сток–исток ПТ при ЛП явным образом указывает на рост температуры кристаллической решетки T , которую можно вычислить, решая обратную задачу. Для этого предлагается следующий алгоритм:

1. Экспериментально определяем $V_{DSS(BR)}(T = 300 \text{ К})$ при малой энергии лавинного пробоя (например, на рис. 3 $V_{DSS(BR)}(T = 300 \text{ К}) = 235 \text{ В}$ при токе $I_m = 1 \text{ А}$ и энергии ЛП 6.25 мДж).

2. Полагаем, что p – N -переход встроенного диода является резким. Используя графики на рис. 4 [9], оцениваем уровень легирования N^- -слоя и пробивное поле при температуре 300 К: $E_{BR}(T = 300 \text{ К})$ (для IRF640 $N^- = 1.4 \cdot 10^{15} \text{ см}^{-3}$, $E_{BR}(T = 300 \text{ К}) = 2.92 \cdot 10^5 \text{ В/см}$).

3. Из осциллограмм напряжения на стоке ИПТ (рис. 3) определяем максимальное значение $V_{DSS(BR),\max}$ и вычисляем $E_{BR}(T)$:

$$E_{BR}(T) = E_{BR}(T = 300 \text{ К}) \cdot \sqrt{\frac{V_{DSS(BR),\max}}{V_{DSS(BR)}(T = 300 \text{ К})}}. \quad (6)$$

4. Теперь можем вычислить T . Для этого учтем, что генерация носителей происходит в узкой области ЛП вблизи p – N -перехода диода, где напряженность поля близка к E_{BR} . Ее ширина много меньше N^- -слоя, и поэтому исходную трехмерную задачу можно упростить до одномерной. Так как область ЛП узкая, а теплопроводность в кремнии достаточно высокая (коэффициент тепловой диффузии $\sim 1 \text{ см}^2/\text{с}$), тепловое равновесие в области ЛП устанавливается за время $\leq 10 \text{ нс}$. Процесс ЛП протекает за десятки и сотни мкс (см. рис. 3), поэтому можем считать его квазистационарным и полагать, что в каждый момент времени T α_n и α_p одинаковы по всех точках области ЛП. В результате каждого акта ионизации рождается пара: электрон и дырка, поэтому в любой точке области ЛП прирост количества электронов равен приросту количества дырок. Далее, под действием поля электроны движутся к катоду, а дырки — к аноду диода. Учтем также, что насыщенные скорости v_{sat} электронов и дырок в кремнии близки и поэтому в каждой точке области ЛП

$$dn/dx = -dp/dx \text{ и } dJ_n/dx = -dJ_p/dx. \quad (7)$$

Вне зоны ЛП ток проводимости J со стороны катода является чисто электронным $J = J_n|_{N^-}$, а со стороны анода — чисто дырочным $J = J_p|_{p^+}$, поэтому $J_n|_{N^-} = J_p|_{p^+} = J$. Отметим также, что рабочие плотности тока в ПТ невелики, J обычно на два–три порядка меньше $J_{\text{crit}} = eN^-v_{\text{sat}}$, поэтому плотность потока носителей существенно меньше концентрации примеси и искажения поля в области объемного заряда (ООЗ) не происходит. В области ЛП $J = J_n + J_p$, электронный ток линейно нарастает по направлению к катоду от нуля до J на границе области ЛП, а дырочный ток нарастает аналогичным образом по направлению к аноду. Количество электронов и дырок, образовавшихся в единицу времени в области ЛП шириной w и площадью S , равно

$$\begin{aligned} \int_0^w G(x) S dx &= S \int_0^w (\alpha_n J_n(x) + \alpha_p J_p(x)) dx \\ &= SJ \int_0^w \left(\frac{\alpha_n J_n(x)}{J} + \frac{\alpha_p J_p(x)}{J} \right) dx \\ &= SJ \int_0^w \left(\alpha_n \frac{x}{w} + \alpha_p \left(1 - \frac{x}{w} \right) \right) dx \\ &= SJ \left(\alpha_n \frac{x^2}{2w} + \alpha_p \left(x - \frac{x^2}{2w} \right) \right) \Big|_0^w \\ &= Sw \frac{J}{2} (\alpha_n + \alpha_p). \end{aligned} \quad (8)$$

В схеме с индуктивной нагрузкой ток через ПТ при ЛП определяется внешней цепью. Процесс генерации

обеспечивает поставку необходимого количества носителей для поддержания заданного тока и является самостабилизирующимся, т.е. температурная зависимость множителей в α_n и α_p компенсируется соответствующим изменением E_{BR} :

$$\alpha_n(T) + \alpha_p(T) = \alpha_n(T = 300 \text{ K}) + \alpha_p(T = 300 \text{ K}). \quad (9)$$

Подставляем в (9) значения $E_{BR}(T = 300 \text{ K})$ и $E_{BR}(T)$, определенные на этапах 2 и 3, и решаем обратную задачу, т.е. подбираем значение T , при котором уравнение (9) будет верно.

Используя предложенный алгоритм, была определена критическая температура (область, с учетом разброса параметров, обозначена символом (открытый прямоугольник) на рис. 4), при которой наблюдалось тепловое разрушение транзисторов IRF640 при ЛП. Полученные значения критической температуры находятся в хорошем согласии с теоретической оценкой T_i .

Проведенные испытания установки подтвердили ее эффективность для проверки ПТ на устойчивость к ЛП при работе на индуктивную нагрузку. Типичные осциллограммы напряжения на стоке ИПТ IRF640 и тока в цепи сток–исток приведены на рис. 3. Разрушение транзистора произошло при токе 16 А и энергии ЛП 1.6 Дж (верхние кривые тока и напряжения на рис. 3). Момент разрушения транзистора отмечен на рис. 3 крестиком.

Таким образом, в работе проведен детальный анализ физических процессов и механизмов разрушения ПТ при лавинном пробое. В большинстве наблюдаемых на практике случаев происходит тепловое разрушение ПТ, когда температура решетки вблизи p – N -перехода встроенного диода превышает собственную температуру T_i . На основе анализа осциллограмм напряжения на стоке ПТ предложена методика расчета пиковой температуры кристаллической решетки при лавинном пробое. Полученные расчетные значения температуры решетки хорошо согласуются с теоретическими оценками T_i и позволяют предсказать пороговое значение энергии лавинного пробоя транзистора без его физического разрушения. Разработана установка для испытания ПТ на устойчивость к лавинному пробое при работе на индуктивную нагрузку, которая позволяет проводить испытания при энергии лавинного пробоя от 0.5 мДж до 2.5 Дж, а также определять возможный механизм разрушения. При разработке установки были использованы схемотехнические решения, обеспечивающие возможность тестирования как корпусированных полевых транзисторов, так и чипов на еще не разрезанной полупроводниковой пластине. Изготовленные установки были поставлены на производственные линии одного из отечественных заводов полупроводниковых приборов, где успешно эксплуатируются.

Благодарности

Авторы статьи выражают благодарность д.ф.-м.н. А.Ф. Кардо-Сысоеву за плодотворные обсуждения полученных результатов.

Конфликт интересов

Авторы заявляют, что у них нет конфликта интересов.

Список литературы

- [1] Introduction to Avalanche Considerations for CoolMOS in SMPS Applications. Application Note, V1.0, Apr.2001. Infineon Technologies AG.
- [2] Infineon AG, AN_2304_PL18_2305_004059 Application Note „Power MOSFET avalanche design guidelines“, 24.07.2023.
- [3] Toshiba Electronic Devices & Storage Corporation, MOSFET Avalanche Ruggedness, Application Note, „MOSFET Avalanche Ruggedness“, 26.07.2018.
- [4] STMicroelectronics, AN2344 Application Note „Power MOSFET avalanche characteristics and ratings“, 02.08.2006.
- [5] Toshiba Electronic Devices & Storage Corporation, Power MOSFET Maximum Ratings, Application Note, „Power MOSFET Maximum Ratings“, 26.07.2018.
- [6] L. Saro, K. Dierberger, R. Redl. *INTELEC — Twentieth Int. Telecommun. Energy Conf.* (Cat. No.98CH36263) (San Francisco, CA, USA, 1998) p. 30. DOI: 10.1109/INTLEC.1998.793474
- [7] Infineon AG, AN_201611_PL11_002 Application Note „Some key facts about avalanche“, 09.01.2017.
- [8] S.K. Ghandhi. *Semiconductor Power Devices, Physics of operation and fabrication technology* (N.Y., Wiley-Interscience, 1977).
- [9] S.M. Sze, K.K. Ng. *Physics of semiconductor devices*. 3rd edn (N.J., John Wiley and Sons, 2007).
- [10] S. Selberherr. *Analysis and Simulation of Semiconductor Devices* (Wien-N.Y., Springer Verlag, 1984).
- [11] A.G. Chynoweth. *Phys. Rev.*, **109**, 1537 (1958).

Редактор А.Н. Смирнов

Installation for testing avalanche breakdown of field effect transistors operating on an inductive load

A.A. Bogdanov, A.G. Lyublinskiy, E.M. Mikhailov, Yu.V. Tuboltsev

Ioffe Institute,
194021 St. Petersburg, Russia

Abstract The physical processes in field-effect transistors during avalanche breakdown, including those leading to their destruction, are considered. The dominant is thermal mechanism of destruction which occurs when the temperature of the crystal lattice exceeds the intrinsic temperature of the semiconductor. A method for calculating the peak temperature of the lattice during avalanche breakdown is proposed, which makes it possible to estimate the threshold energy of avalanche breakdown above which the transistor collapses. An installation for testing field-effect transistors at avalanche breakdown energies from 0.5 mJ to 2.5 J has been developed. The installation makes it possible to determine the mechanism of destruction, and the suggested circuit design allows to test both field-effect transistors in a package and chips on uncut semiconductor wafers.